

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-012847

(43)Date of publication of application : 17.01.1990

(51)Int.Cl.

H01L 21/60

(21)Application number : 63-163242

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1988

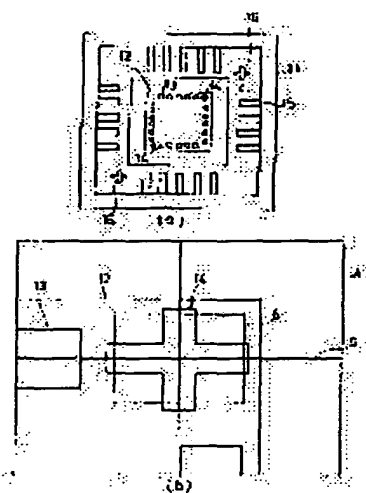
(72)Inventor : SAKURAI KEIZO

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enable an IC chip to be aligned with high precision neither increasing the picture image processing time nor using any mask alignment mark or any trademark at all by a method wherein the position detecting patterns in almost the same size as that of electrode pads but in different shape are provided on at least two positions of an integrated circuit chip.

CONSTITUTION: The position detecting patterns 14 in almost the same size as that of electrode pads 13 but in different shape are provided on at least two positions of an integrated circuit chip 12. For example, multiple electrode pads 13 are arranged on the periphery of the IC chip 12 located on the central part of an IC package 11 and simultaneously the cross-type position detecting patterns 14 in around 50-500 μ m are provided on the right-hand upper corner and the left-hand lower corner in the figure by Al evaporating, coating, metallizing, etching, marking processes, etc. On the other hand, in the IC package 11, the other electrode pads 15 opposite to respective electrode pads 13 are arranged on the periphery of the package 11 and simultaneously the other cross-type position detecting patterns 16 in a similar shape to that of said position detecting patterns 14 are provided on the two positions such as right-hand upper corner and the left-hand lower corner in the figure.





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02012847 A**

(43) Date of publication of application: 17 . 01 . 90

(51) Int. Cl. **H01L 21/60**(21) Application number: **63163242**(71) Applicant: **NEC CORP**

(22) Date of filing: 30 . 06 . 88

(72) Inventor: **SAKURAI KEIZO**(54) **INTEGRATED CIRCUIT DEVICE**

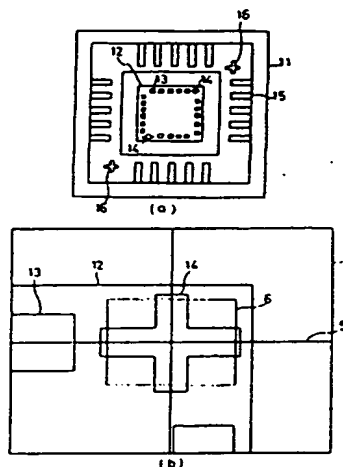
(57) Abstract:

PURPOSE: To enable an IC chip to be aligned with high precision neither increasing the picture image processing time nor using any mask alignment mark or any trademark at all by a method wherein the position detecting patterns in almost the same size as that of electrode pads but in different shape are provided on at least two positions of an integrated circuit chip.

CONSTITUTION: The position detecting patterns 14 in almost the same size as that of electrode pads 13 but in different shape are provided on at least two positions of an integrated circuit chip 12. For example, multiple electrode pads 13 are arranged on the periphery of the IC chip 12 located on the central part of an IC package 11 and simultaneously the cross-type position detecting patterns 14 in around 50-500 μ m are provided on the right-hand upper corner and the left-hand lower corner in the figure by Al evaporating, coating, metallizing, etching, marking processes, etc. On the other hand, in the IC package 11, the other electrode pads 15 opposite to respective electrode pads 13 are arranged on the periphery of the package 11 and simultaneously the other cross-type position detecting patterns 16 in a similar shape to that of said position detecting patterns 14 are

provided on the two positions such as right-hand upper corner and the left-hand lower corner in the figure.

COPYRIGHT: (C)1990,JPO&Japio



⑫ 公開特許公報(A) 平2-12847

⑬ Int. Cl.³

H 01 L 21/60

識別記号

3 0 1 L

庁内整理番号

6918-5F

⑭ 公開 平成2年(1990)1月17日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 集積回路装置

⑯ 特 願 昭63-163242

⑰ 出 願 昭63(1988)6月30日

⑱ 発 明 者 櫻 井 敬 三 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

(1.) 集積回路チップの少なくとも2箇所に電極パッドと略同様の大きさで、且つ、電極パッドと異なる形状の位置検出用のパターンを設けたことを特徴とする集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、集積回路装置に関し、特に、マウント工程やボンディング工程においてICチップの高精度の位置決めを行うためのICチップの表面レイアウトパターンに関する。

〔従来の技術〕

ICチップのマウント工程又はボンディング工程等では、ICチップの高精度の位置決めが必要である。このため、従来はICチップ上の特徴あるパターンを基準とし、画像処理技術によって、ICチップの高精度な位置決めを行うようにして

いる。この位置決めの方法を第9図及び第10図を用いて説明する。第9図はICチップ1を示す図である。ICチップ1は、その周縁部にワイヤボンディング用の多数の電極パッド2と、マスクアライメントマーク3とを備えている。第10図は、ボンディングヘッドに取り付けられたカメラによるモニタ画像4を示す図である。このモニタ画像4には位置決め用のクロスライン5と画像記憶の範囲を指定する記憶範囲枠6とが付加的に表示されている。先ず、作業者はボンディングヘッドをx、y方向に移動させながらボンディングヘッドに取り付けられたカメラにより映されるモニタ画像4をみる。そして、モニタ画像4に映しだされたICチップ1の拡大画像のうち特徴あるパターンが映しだされたら、その特徴あるパターンを記憶範囲枠6の中に入れる。この特徴あるパターンとしては、通常、ICチップ1の角部に位置する数個の電極パッド2のパターンが用いられる。記憶範囲枠6のパターンは二値化された画像データとして図示しない記憶手段にその位置座標デー

タと共に記憶される。同様の記憶操作をICチップの他の角部の特徴あるパターンとICパッケージ上の他の2箇所のパターンについても行う。各特徴あるパターンの画像データとその位置座標データとが記憶されたら、ボンディングの際には、ICパッケージをボンディングすべき位置まで移動させ、上記記憶されている画像データとのパターンマッチングによってICチップの位置を決めていく。即ち、画像パターンと共に記憶されている各パターンの座標データで示される位置にカメラを移動させ、撮影されている画像中から上記記憶しているパターンをパターンマッチングにより検出する。そして、画像の分解能データとカメラの移動距離とを考慮してICチップの位置検出用パターンの位置を算出し、この算出されたデータと、前もって入力してあるICチップ及びICパッケージのボンディングステージの座標データとに基いて実際のボンディングステージの位置座標を求め、連続的なワイヤボンディングを実施していく。

一杯に映しだされてしまうため、第10図に示すような特徴あるパターンを捉えることができなくなってしまう。これを防止するには、記憶範囲枠6を拡大するか、ICチップ1上の他の特徴あるマーク、例えば、マスクアライメントマーク3や商標等を使用することが考えられる。

しかしながら、前者の方法は、画像処理時間の増大を招くという問題点がある。また、後者は、第12図に示すように、マスクアライメントマーク3や商標がもともと非常に小さいために位置決めのための基準パターンには適さないという問題点がある。

本発明はかかる問題点に鑑みてなされたものであって、画像処理時間の増大を招くことなく、しかもマスクアライメント又は商標を使用せずにICチップの高精度な位置決めを可能にする表面レイアウトパターンを備えた集積回路装置を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係る集積回路装置は、集積回路チップ

〔発明が解決しようとする課題〕

ところで、近時、ICチップの集積度の向上に伴い、ICチップの入出力数は増加の一途を辿っている。このため、ICチップの電極パッド数も増加傾向にあり、この結果、電極パッドのサイズの小型化が益々進んでいる。このことはボンディング精度、即ち、ICチップの位置決め精度のより一層の向上が必要であることを意味している。ボンディング精度は、例えば、カメラのレンズ倍率が4倍、ボンディングステージでの分解能が $2.5\mu\text{m}$ /パルスであるとする、 $\pm 12\mu\text{m}$ 程度である。このうち画像認識精度に起因する検出精度が $\pm 8\mu\text{m}$ 、ボンディングステージ等のメカニカル精度が $\pm 8\mu\text{m}$ 、ボンディング位置算出における演算誤差が $\pm 2\mu\text{m}$ であるが、その中でも特に、画像認識精度が大きな要因を占めている。

画像認識精度を向上させるには、カメラのレンズ倍率を高めることが考えられる。しかしながら、カメラ倍率を高めると、例えば、第11図に示すように一つの電極パッド2のみが記憶範囲枠6に

の少なくとも2箇所に電極パッドと略同様の大きさで、且つ、電極パッドと異なる形状の位置検出用のパターンを設けたことを特徴とする。

このパターンは、電極パッドとは別個に設けても良いし、電極パッドそのものでも良いし、電極パッド間を接続する配線パターン中に形成しても良い。

〔作用〕

本発明によれば、集積回路チップの少なくとも2箇所に電極パッドと略同様の大きさで、且つ、電極パッドと異なる形状の位置検出用のパターンを有しているため、電極パッドが記憶範囲枠に略一杯に映しだされる程度にカメラの倍率を上げた場合でも、位置検出用のパターンは、それ自体で通常の電極パッドと識別可能であるため、位置検出の際の誤認を生じさせるようなことはない。このため、本発明によれば、カメラの倍率を増加させることができることにより、画像処理の精度が向上し、これにより位置決め精度の向上を図ることができる。

【実施例】

以下、本発明の実施例について添付の図面を参照して説明する。

第1図(a)は本発明の第1の実施例に係る集積回路装置の構成を示す図である。この実施例は電極パッドとは別個に位置検出用パターンを設けた例である。図においてICパッケージ11の中央部に配置されたICチップ12は、その周囲に複数の電極パッド13を配置すると共に、図中右上と左下の2箇所に50乃至500 μ m程度の十字型の位置検出用パターン14を、例えば、A β 蒸着、コーティング、メタライズ、エッチング、マーキング技術等を用いて設けたものとなっている。一方、ICパッケージ11にも、ICチップ12の各電極パッド13と対向する周縁部に電極パッド15が配置されると共に、図中右上と左下の2箇所に上記位置検出用パターン14と同様の十字型の位置検出用パターン16を設けている。

第1図(b)は、ICチップ12の右上に配置された位置検出用パターン14を映しだしたモニ

タ画面4を示す図である。図から明らかなように、位置検出用パターン14は電極パッド13と略同様の大きさで、電極パッド13とは明確に区別できるように十字形状となっている。従って、本装置によれば、記憶範囲枠3に電極パッド13又は位置検出用パターン14が一杯に映しだされる程度にカメラの倍率を上げた場合でも、位置検出用パターン14は電極パッド13と誤認識されることはなく、高精度の位置検出が可能である。

第2図(a)、(b)に本発明の第2の実施例を示す。この実施例は、ICチップ21の電極パッド22のうちの図中上下中央部に位置する電極パッド22aの四隅を僅かに切欠して十字型に形成することにより、他の電極パッド22bと明確に区別し得るようにして、電極パッド22aを位置検出用パターンとして用いている。この構成によれば、電極パッド22aを位置検出用パターンとしても使用することができるので、スペース的な余裕が増すという利点がある。

第3図(a)、(b)に本発明の第3の実施例

を示す。この実施例ではICチップ31の電極パッド32のうち、図中右上及び左下に夫々位置する電極パッド32a、32bを接続する内部配線33上に、電極パッド32と略同じ大きさの十字型の内形パターン34を形成し、この内形パターン34を位置検出用パターンとしている。この構成によれば、電極パッド32の部分のスペース上の制限は更に緩和される。

第4図(a)、(b)に本発明の第4の実施例を示す。この実施例では、ICチップ41の電極パッド42のうち、右上及び左下の夫々の電極パッド42a、42bを接続する内部配線43そのものを十字型にした例である。

これら十字型のパターンサイズについては、カメラ倍率により変更する必要がある。本発明者等の評価によれば、カメラ倍率とパターンサイズとの関係は、第5図のようになった。即ち、カメラ倍率の上昇と共に、位置検出マークの十字型パターンの最適寸法サイズは双曲線的に小さくなる。

第6図(a)、(b)に本発明の第5の実施例

を示す。この実施例では、ICチップ51の電極パッド52のうち、右上及び左下の夫々の電極パッド52a、52bを接続する内部配線53に丸型の内形パターン54を特徴あるパターンとして形成したものである。

第7図(a)、(b)に本発明の第6の実施例を示す。この実施例では、ICチップ61の電極パッド62のうち、特に、右上及び左下の電極パッド62aの一辺をV字状に切り欠いた形状とすることにより、この電極パッド62aを位置検出用パターンとしたものである。

以上の各実施例について本発明の効果を調べたところ、第8図(a)、(b)に示すように、ズレ不良発生率及び検出不良発生率をいずれも従来のICチップに比して大幅に低減させることができた。

なお、上述の実施例はいずれもICチップの位置検出用パターンについてのものであるが、パッケージの位置検出用パターンについても、同様の形態を採用することができる。また、位置検出用

パターンは特に2箇所だけでなく3箇所以上設けるようにしてもよい。

更に、本発明は他のパッケージング工程の装置、例えば、マウンタやILBボンダ、OLBボンダ、フリップチップボンダ等においても適用可能である。この場合でも高倍率のカメラを使用することができるので、位置検出精度が向上し、組み立て精度を高めることができる。

〔発明の効果〕

以上説明したように、本発明によれば、ICチップの少なくとも2箇所に電極パッドと略同様の大きさで、且つ、電極パッドと異なる形状の位置検出用のパターンを有しているので、電極パッドが記憶範囲枠に略一杯に映しだされる程度にカメラの倍率を上げた場合でも、位置検出用パターンと電極パッドとを識別可能である。このため、本発明によれば、カメラの倍率を増加させて画像処理の精度を向上させることにより位置決め精度の向上を図ることができる。

4. 図面の簡単な説明

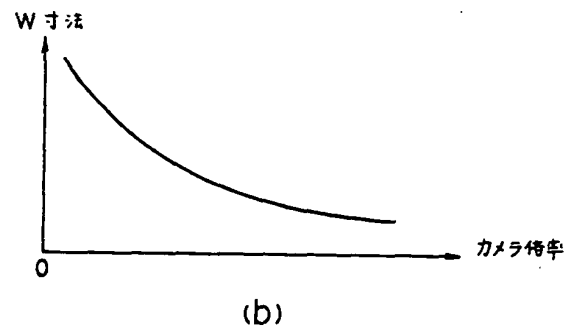
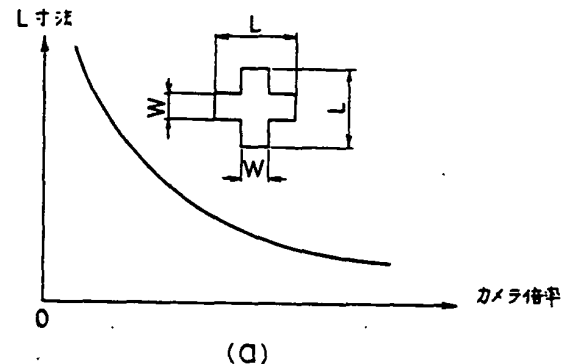
及び第12図は従来のICチップの位置検出方法の問題点を説明するための図である。

1, 12, 21, 31, 41, 51, 61; ICチップ、2, 13, 22, 32, 42, 52, 62; 電極パッド、3; マスクアライメントマーク、4; モニタ画面、5; クロスライン、6; 記憶範囲枠、11; ICパッケージ、14, 16; 位置検出パターン、33, 43, 53; 内部配線、34, 54; 内形パターン

出願人 日本電気株式会社

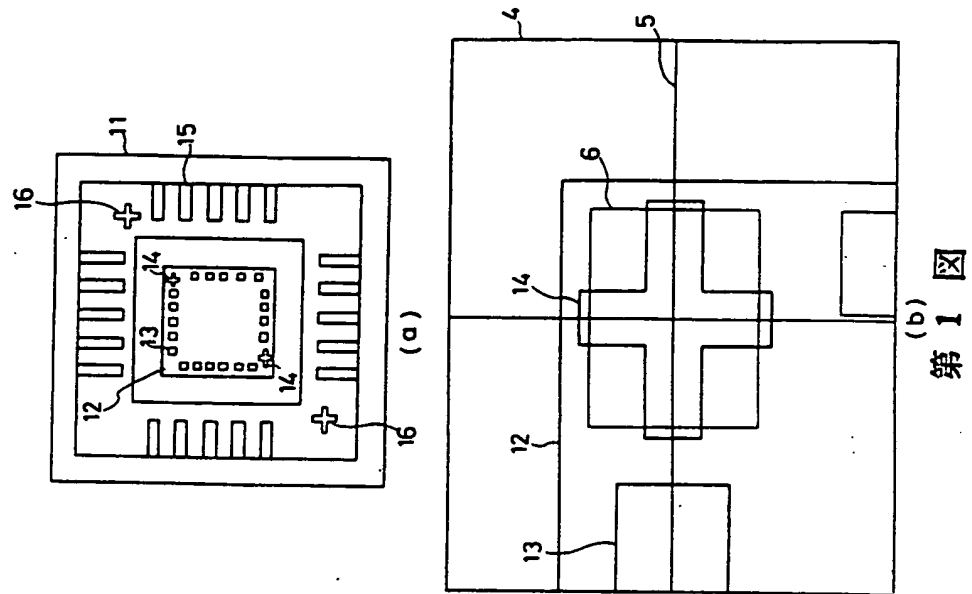
代理人 弁理士 藤巻正憲

第1図(a), (b)は本発明の第1の実施例に係る集積回路装置の夫々平面図と同装置のモニタ画面とを示す図、第2図(a), (b)は本発明の第2の実施例に係る集積回路装置の夫々平面図と同装置のモニタ画面とを示す図、第3図(a), (b)は本発明の第3の実施例に係る集積回路装置の夫々平面図と同装置のモニタ画面とを示す図、第4図(a), (b)は本発明の第4の実施例に係る集積回路装置の夫々平面図と同装置のモニタ画面とを示す図、第5図(a), (b)は位置検出用パターンとして十字型パターンを用いた場合の夫々カメラ倍率と最適パターンサイズとの関係を示すグラフ図、第6図(a), (b)は本発明の第5の実施例に係るICチップの夫々平面図とモニタ画面とを示す図、第7図(a), (b)は本発明の第6の実施例に係るICチップの夫々平面図とモニタ画面とを示す図、第8図(a), (b)は本発明の効果を示す図、第9図は従来のICチップの平面図、第10図は従来のICチップの位置検出方法を説明するための図、第11図

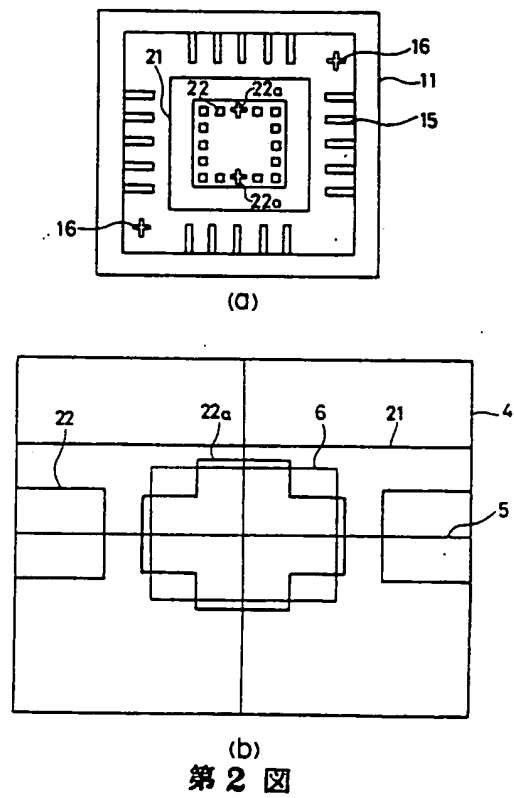


第5図

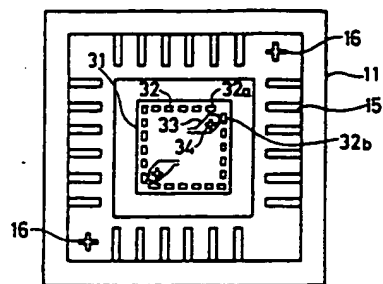
- 4: モニタ画面
5: クロスライン
6: 記憶範囲枠
11: ICパッケージ
12: ICチップ
13, 15: 電極パッド
14, 16: 位置検出用パターン



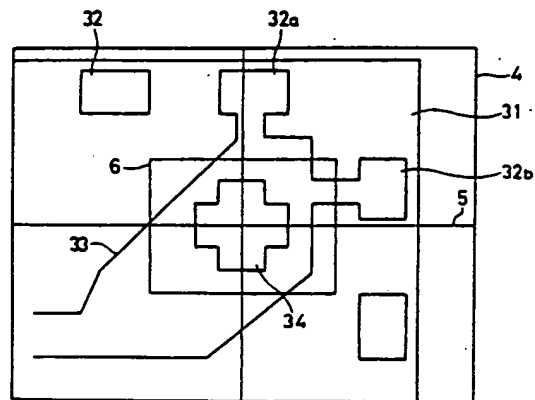
- 4: モニタ画面
5: クロスライン
6: 記憶範囲枠
11: ICパッケージ
15, 22, 22a: 電極パッド
16: 位置検出用パターン
21: ICチップ



- 4: モニタ画面
5: クロスライン
6: 記憶範囲枠
11: ICパッケージ
15, 32, 32a, 32b: 電極パッド
16: 位置検出用パターン
31: ICチップ
33: 内部配線
34: 内部パターン



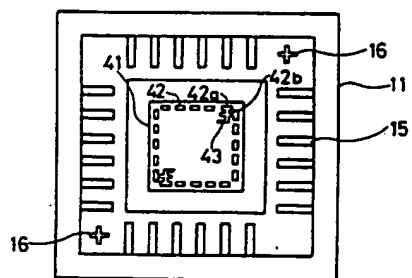
(a)



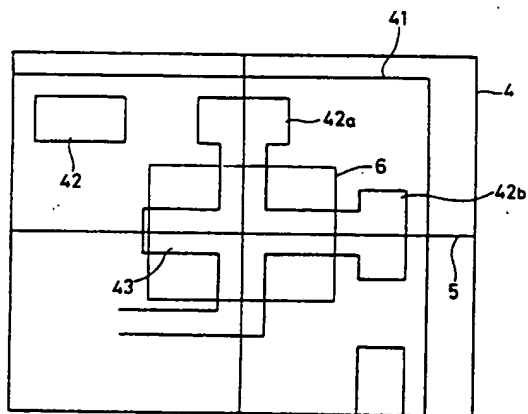
(b)

第3図

- 4: モニタ画面
5: クロスライン
6: 記憶範囲枠
11: ICパッケージ
15, 42, 42a, 42b: 電極パッド
16: 位置検出用パターン
41: ICチップ
43: 内部配線



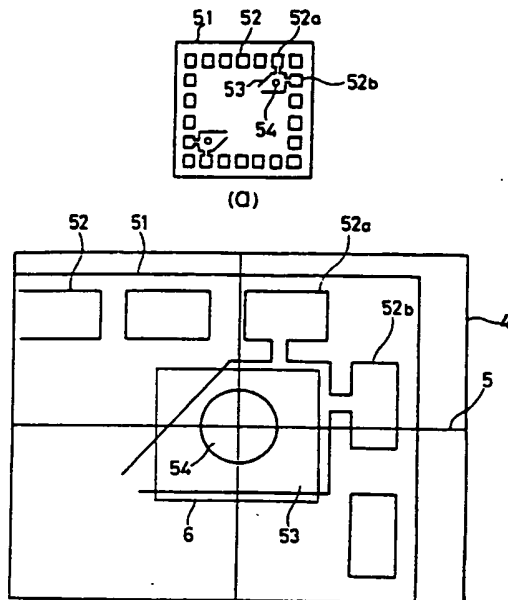
(a)



(b)

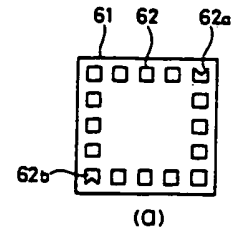
第4図

- 4: モニタ画面 51: ICチップ
5: クロスライン 52, 52a, 52b: 電極パッド
6: 記憶範囲 53: 内装配線
54: 内装パターン

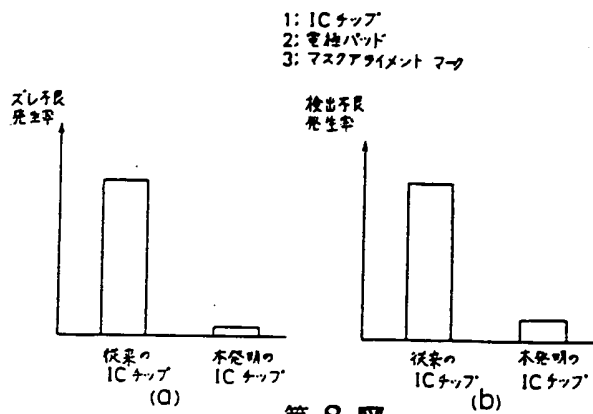


(b)
第 6 図

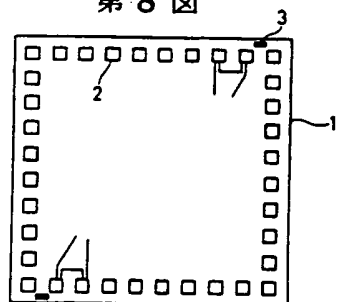
- 4: モニタ画面 61: ICチップ
5: クロスライン 62, 62a: 電極パッド
6: 記憶範囲



(b)
第 7 図

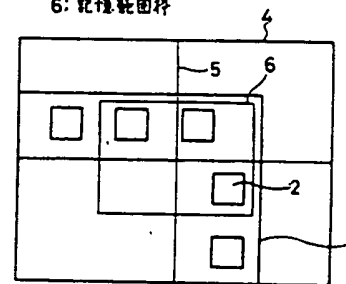


第 8 図

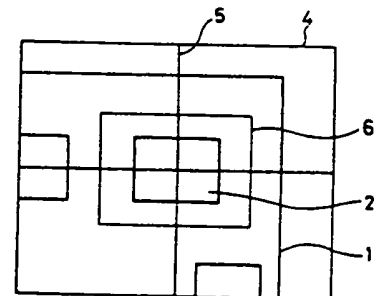


第 9 図

- 1: ICチップ
2: 電極パッド
4: モニタ画面
5: クロスライン
6: 記憶範囲

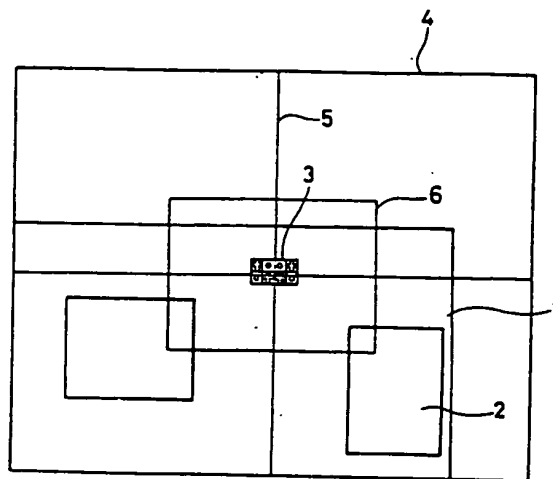


第 10 図



第 11 図

- 1: ICチップ
- 2: 電極パッド
- 3: マスクアライメントマーク
- 4: モニタ画面
- 5: クロスライン
- 6: 記憶範囲枠



第12図